

**THIS PAGE IS INSERTED BY OIPE SCANNING  
AND IS NOT PART OF THE OFFICIAL RECORD**

## **Best Available Images**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

**BLACK BORDERS**

**TEXT CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT**

**BLURRY OR ILLEGIBLE TEXT**

**SKEWED/SLANTED IMAGES**

**COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE**

**VERY DARK BLACK AND WHITE PHOTOS**

**UNDECIPHERABLE GRAY SCALE DOCUMENTS**

**IMAGES ARE THE BEST AVAILABLE  
COPY. AS RESCANNING *WILL NOT*  
CORRECT IMAGES, PLEASE DO NOT  
REPORT THE IMAGES TO THE  
PROBLEM IMAGE BOX.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216307

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

H01L 23/36

H01L 23/12

(21)Application number : 11-012537

(71)Applicant : NEC CORP

(22)Date of filing : 20.01.1999

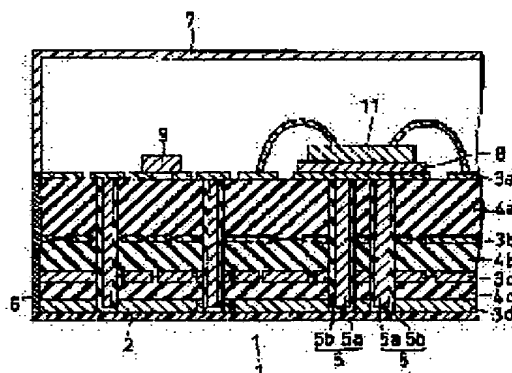
(72)Inventor : SASOU TOORU

## (54) AMPLIFYING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an amplifying device, wherein thermorunaway is prevented for good high-frequency characteristics.

SOLUTION: On a multilayer substrate 1, a resist layer 2 and a fourth conductor layer 3d of a thickness of about 70-100  $\mu\text{m}$  formed on the resist layer 2 are provided. Further more, a third dielectrics layer 4c of resin is laminated on the fourth conductor layer 3d. A semiconductor chip 11 is placed on a first conductor 3a directly or via mount part 8, comprising a metal plate such as copper alloy. At the multilayer substrate 1, a thermal via 5 running from the first conductor layer 3a formed directly under the semiconductor chip 11 to the fourth conductor layer 3s is formed. Furthermore, a ground/heat-radiating end-surface electrode 6 connected to a metal plate layer 5b of the thermal via 5 is formed at the end surface of the multilayer substrate 1.



## LEGAL STATUS

[Date of request for examination] 24.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3216626

[Date of registration] 03.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216307

(P2000-216307A)

(43) 公開日 平成12年8月4日(2000.8.4)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 23/36  
23/12

識別記号

3 0 1

F I

H 0 1 L 23/36  
23/12

テーマコード(参考)

C 5 F 0 3 6  
3 0 1 J

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号

特願平11-12537

(22) 出願日

平成11年1月20日(1999.1.20)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐 想 亨

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100090158

弁理士 藤巻 正憲

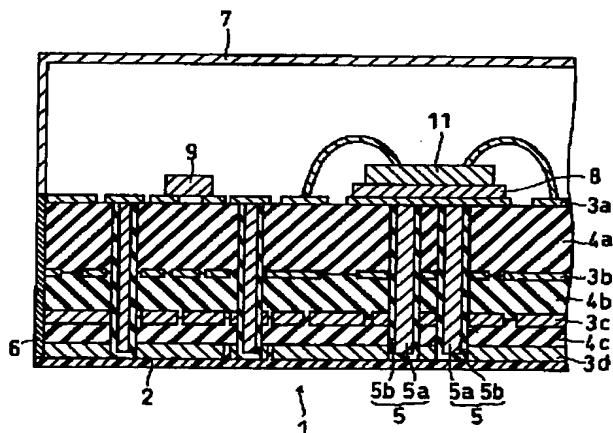
Fターム(参考) 5F036 AA01 BB08 BB21

(54) 【発明の名称】 増幅装置

(57) 【要約】

【課題】 熱暴走を防止することができ、良好な高周波特性を得ることができる増幅装置を提供する。

【解決手段】 多層基板1には、レジスト層2及びこのレジスト層2上に形成された厚さが約70～100μmの第4導体層3dが設けられている。更に、第4導体層3d上には樹脂製の第3誘電体層4cが積層されている。第1導体層3a上には、半導体チップ11が、直接又は銅合金等の金属板からなるマウント部8を介して、載置されている。また、多層基板1には、半導体チップ11の直下に形成され第1導体層3aから第4導体層3dまで達するサーマルビア5が形成されている。更に、多層基板1の端面には、サーマルビア5の金属メッキ層5bに接続された接地・放熱用端面電極6が形成されている。



1: 多層基板  
2: レジスト層  
3a, 3b, 3c, 3d: 導体層  
4a, 4b, 4c: 誘電体層  
5: サーマルビア  
5a: 樹脂封  
5b: 金属メッキ層  
6: 接地・放熱用端面電極  
7: 金属カバー  
8: マウント部  
11: 半導体チップ

## 【特許請求の範囲】

【請求項1】 多層基板と、この多層基板上に設けられ増幅回路を備えた半導体チップと、を有する高周波増幅装置において、前記多層基板は、厚さが $70\mu\text{m}$ 以上の導体層と、この導体層上に形成された樹脂層と、前記半導体チップの直下で表面から前記導体層まで達するサーマルビアと、端面に形成され前記導体層に接続された接地・放熱用端面電極と、を有することを特徴とする増幅装置。

【請求項2】 前記サーマルビアは、樹脂材と、この樹脂材の表面に形成され前記導体層に接続された金属メッキ層とを有することを特徴とする請求項1に記載の増幅装置。

【請求項3】 前記サーマルビアは、導電材と、この導電材の表面に形成され前記導体層に接続された金属メッキ層とを有することを特徴とする請求項1に記載の増幅装置。

【請求項4】 前記樹脂層上に形成され厚さが $70\mu\text{m}$ 以上の第2の導体層を有することを特徴とする請求項1乃至3のいずれか1項に記載の増幅装置。

【請求項5】 前記導体層の下に形成されたレジスト層を有することを特徴とする請求項1乃至4のいずれか1項に記載の増幅装置。

【請求項6】 前記増幅回路は、電界効果トランジスタを有することを特徴とする請求項1乃至5のいずれか1項に記載の増幅装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波信号の増幅に好適な増幅装置に関し、特に、放熱性が高い増幅装置に関する。

【0002】

【従来の技術】近時、携帯電話等には高周波信号が使用され、その送信用増幅装置として多層基板上に形成された電界効果トランジスタ（以下、FETという。）を備えた高周波増幅装置が使用されている。図3は従来の高周波増幅装置を示す模式的断面図である。

【0003】従来の高周波増幅装置に使用される多層基板21には、厚さが約 $5\sim 10\mu\text{m}$ の第4導体層23d及びこの第4導体層23d上に形成された第3誘電体層24cが設けられている。更に、第3誘電体層24c上には、厚さが約 $5\sim 10\mu\text{m}$ の第3導体層23c、第2誘電体層24b、厚さが約 $5\sim 10\mu\text{m}$ の第2導体層23b、第1誘電体層24a及び厚さが約 $5\sim 10\mu\text{m}$ の第1導体層23aが順次積層されている。なお、各誘電体層24a～24cはガラスセラミックス等のセラミックス製である。

【0004】そして、第1導体層23a上には、半導体チップ31が、銅合金等の金属板からなるマウント部28を介して、載置されている。なお、半導体チップ31

が第1導体層23a上に直接載置される場合もある。

【0005】また、多層基板21には、半導体チップ31の直下に形成され第1導体層23aから第4導体層23dまで達するサーマルビア25が形成されている。サーマルビア25は、ビアホールの側面に金属メッキ層25bが形成され、その内部に樹脂材25aが充填されたものである。

【0006】更に、多層基板21の端面には、接地・放熱用端面電極26が形成されている。また、多層基板21の他の端面には、入出力端子用端面電極及び電源端子用端面電極（図示せず）が形成されている。

【0007】更にまた、多層基板21は、金属カバー27に覆われており、電磁的にシールドされている。

【0008】更に、多層基板21上には、チップコンデンサ、チップ抵抗、チップインダクタ及びマイクロストリップライン等の素子29を備え半導体チップ31に接続された整合バイアス回路が設けられている。

【0009】なお、半導体チップは、第1及び第2の誘電体層24a及び24bにキャビティを形成しそこに載置されることもある。

【0010】このように構成された高周波増幅装置を携帯電話等のセット基板に搭載する際には、接地・放熱用端面電極26等の各端面電極をセット基板にはんだ付けする。更に、半導体チップ31から発生する熱を放熱させるために、多層基板21の半導体チップ31が搭載された部分の反対側部分をも直接セット基板にはんだ付けする。

【0011】そして、外部から高周波信号が入力されると、この信号は入力段整合バイアス回路を介して半導体チップ31の入力段FET部に入力される。そして、入力段FET部により増幅されて出力される。その後、この出力信号は、段間整合バイアス回路を介して出力段FET部に入力される。そして、出力段FET部により増幅されて出力される。更に、この出力信号は、出力段整合バイアス回路を介して外部に出力される。

【0012】このとき、入力段FET部及び出力段FET部から熱が発生するが、この熱はサーマルビア25を介して第2、3及び4導体層23b～23dに伝達される。更に、半導体チップ31が搭載された部分の反対側部分に直接はんだ付けされた携帯電話等のセット基板及び接地・放熱用端面電極26等に伝達され、そこから外気へと放出される。

【0013】

【発明が解決しようとする課題】しかしながら、従来の高周波増幅装置は、携帯電話等のセット基板に搭載される際には、前述のような直接のはんだ付けを行わないと、入力段FET部及び出力段FET部の放熱が不十分となって、高周波増幅装置が熱暴走してしまう。更に、入力段FET部及び出力段FET部のソースにおけるインダクタンスが高くなるため、良好な高周波特性が得ら

れない。また、直接はんだ付けされると、セット基板のその部分にパターン設計を行うことができなくなるという問題点も生じる。

【0014】本発明はかかる問題点に鑑みてなされたものであって、熱暴走を防止することができ、良好な高周波特性を得ることができる増幅装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明に係る増幅装置は、多層基板と、この多層基板上に設けられ増幅回路を備えた半導体チップと、を有する高周波増幅装置において、前記多層基板は、厚さが70 $\mu$ m以上の導体層と、この導体層上に形成された樹脂層と、前記半導体チップの直下で表面から前記導体層まで達するサーマルビアと、端面に形成され前記導体層に接続された接地・放熱用端面電極と、を有することを特徴とする。

【0016】本発明においては、サーマルビアは厚さが70 $\mu$ m以上の導体層を介して端面電極に接続されているので、増幅回路から発生した熱は高い効率で放熱される。従って、熱暴走が抑制される。更に、増幅回路の高周波特性が向上する。また、セット基板に搭載する際には、裏面側を直接はんだ付けする必要がないため、セット基板の増幅装置に接合する領域におけるパターン設計が可能となる。

【0017】前記サーマルビアは、樹脂材又は導電材と、この樹脂材又は導電材の表面に形成され前記導体層に接続された金属メッキ層とを有することができる。

【0018】また、前記樹脂層上に形成され厚さが70 $\mu$ m以上の第2の導体層を有することができる。第2の導体層により、より一層高い放熱性及び高周波特性が得られる。

【0019】更に、前記導体層の下に形成されたレジスト層を有することができる。

【0020】更にまた、前記増幅回路は、電界効果トランジスタを有することができる。

【0021】

【発明の実施の形態】以下、本発明の実施例に係る高周波増幅装置について、添付の図面を参照して具体的に説明する。図1は本発明の実施例に係る高周波増幅装置を示す模式的平面図である。

【0022】本実施例においては、多層基板1上に入力段FET部11a及び出力段FET部11bが設けられた増幅回路を備えた半導体チップ11が設けられている。入力段FET部11aには、入力段FET及びこれに接続されたゲート等の回路が設けられており、出力段FET部11bには、出力段FET及びこれに接続された他のゲート等の回路が設けられている。

【0023】また、多層基板1上には、入力段FET部11aの入力端と入力端子13との間に接続された入力段整合バイアス回路12aが設けられている。更に、入

力段FET部11aの出力端と出力段FET部11bの入力端との間に接続された段間整合バイアス回路12bが設けられている。更にまた、出力段FET部11bの出力端と出力端子14との間には出力段整合バイアス回路12cが設けられている。なお、整合バイアス回路12a～12cは、チップコンデンサ、チップ抵抗、チップインダクタ及びマイクロストリップライン等から構成されており、入力段FET部11a及び出力段FET部11bに直流の電圧又は電流を供給すると共に、それらのインピーダンスを整合させるための回路である。

【0024】更に、多層基板1の端面には、わん曲した複数の切り込みが形成されており、そこに端面電極15が設けられている。これらの電極のうち、1つが入力端子13、1つが出力端子14、3つが電源端子16となっている。なお、多層基板1は、図示しない金属カバーにより覆われている。

【0025】次に、多層基板1の構造について説明する。図2は本発明の実施例に係る高周波増幅装置を示す模式的断面図である。

【0026】多層基板1には、レジスト層2及びこのレジスト層2上に形成された厚さが約70～100 $\mu$ mの第4導体層3dが設けられている。更に、第4導体層3d上には第3誘電体層4c、厚さが約70 $\mu$ mの第3導体層3c、第2誘電体層4b、厚さが約18 $\mu$ mの第2導体層3b、第1誘電体層4a及び厚さが約18～48 $\mu$ mの第1導体層3aが順次積層されている。このように、第3及び4導体層3c及び3dの厚さは、第1及び2導体層3a及び3bの厚さより厚いものとなっている。なお、各誘電体層4a～4cは樹脂製である。

【0027】そして、第1導体層3a上には、半導体チップ11が、銅合金等の金属板からなるマウント部8を介して、載置されている。同様に、整合バイアス回路を構成する素子9が第1導体層3a上に載置されている。なお、半導体チップ11は第1導体層3a上に直接載置されていてもよい。

【0028】また、多層基板1には、半導体チップ11の直下に形成され第1導体層3aから第4導体層3dまで達するサーマルビア5が形成されている。サーマルビア5は、ビアホールの側面に金属メッキ層5bが形成され、その内部に樹脂材5aが充填されたものである。

【0029】更に、多層基板1の端面には、サーマルビア5の金属メッキ層5bに第2～4導体層3b～3dを介して接続された接地・放熱用端面電極6が形成されている。また、多層基板1の他の端面には、入出力端子用端面電極及び電源端子用端面電極が形成されているが、これらはサーマルビア5に接続されていない。これらの端面電極は、図1における端面電極15に対応するものである。

【0030】更にまた、多層基板1は、金属カバー7に覆われており、電磁的にシールドされている。

【0031】このように構成された高周波増幅装置を携帯電話等のセット基板に搭載する際には、接地・放熱用端面電極6等の各端面電極をセット基板にはんだ付けする。但し、このとき、半導体チップ11から発生する熱を放熱させるために、多層基板1の半導体チップ11が搭載された部分の反対側部分である第4導体層3d側部分を直接セット基板にはんだ付けする必要はない。

【0032】次に、本実施例に係る高周波増幅装置の動作について説明する。

【0033】外部から入力端子13に入力された高周波信号は、入力段整合バイアス回路12aを介して入力段FET部11aに入力される。そして、入力段FET部11aにより増幅されて出力される。その後、この出力信号は、段間整合バイアス回路12bを介して出力段FET部11bに入力される。そして、出力段FET部11bにより増幅されて出力される。更に、この出力信号は、出力段整合バイアス回路12cを介して出力端子14から外部に出力される。このように、外部から本実施例に係る高周波増幅回路に入力された信号は、2段階に増幅されて出力される。

【0034】このとき、入力段FET部11a及び出力段FET部11bから熱が発生するが、この熱はサーマルビア5を介して第2、3及び4導体層3b～3dに伝達される。更に、接地・放熱用端面電極6に伝達される。この接地・放熱用端面電極6は携帯電話等のセット基板にはんだ付けされているので、そこから外気へと放出される。

【0035】このように、本実施例によれば、誘電体層4a～4cを樹脂製としているので、各導体層3a～3dを従来のものよりも厚く形成することができる。特に、第3及び4導体層3c及び3dの厚さを70 $\mu$ m以上と厚くすることができるため、半導体チップ11に対する多層基板1の熱抵抗を小さくすることができる。このため、多層基板1の半導体チップ11が搭載された部分の反対側部分を携帯電話等のセット基板に直接はんだ付けしなくても、接地・放熱用端面電極6をセット基板にはんだ付けすれば、入力段FET部11a及び出力段FET部11bから発生した熱の放出が可能である。

【0036】また、各導体層3a～3dが従来のものよりも厚く形成されているため、入力段FET部11a及び出力段FET部11bに対するソースのインダクタンスが低減される。従って、良好な高周波特性が得られる。

【0037】更に、多層基板1の半導体チップ11が搭載される部分の反対側部分を携帯電話等のセット基板に直接はんだ付けする必要がないため、多層基板1の裏面には絶縁性のレジスト層2が形成されているので、携帯電話等のセット基板のレジスト層2に接合する部分にパターン設計を行うことができる。このため、セット基板

のパターン設計に冗長性が得られる。

【0038】なお、上述の実施例におけるサーマルビア5には、樹脂材5aが充填されているが、金属材が充填されていても、同様の効果が得られる。

【0039】また、多層基板1は導体層は4層構造とされているが、5層又はそれ以上の層から多層基板が形成されていてもよい。この場合にも、同様の効果が得られる。

【0040】更に、これらの構造が組み合わされた構造が採用されても、同様の効果が得られる。

【0041】

【発明の効果】以上詳述したように、本発明によれば、多層基板に厚さが70 $\mu$ m以上の導体層を設け、この導体層を介してサーマルビアを端面電極に接続させているので、増幅回路から発生した熱を高い効率で外部に放出することができる。従って、熱暴走を抑制することができる。更に、増幅回路の高周波特性を向上させることができる。また、セット基板に搭載する際には、裏面側を直接はんだ付けする必要がないので、セット基板の増幅装置に接合する領域におけるパターン設計を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る高周波増幅装置を示す模式的平面図である。

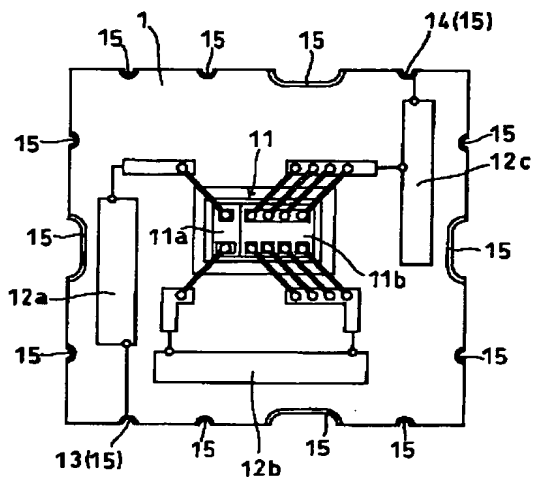
【図2】本発明の実施例に係る高周波増幅装置を示す模式的断面図である。

【図3】従来の高周波増幅装置を示す模式的断面図である。

【符号の説明】

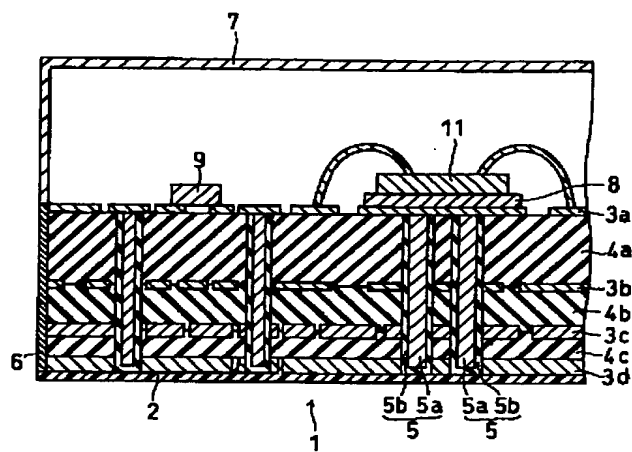
- 1、21；多層基板
- 2；レジスト層
- 3a、3b、3c、3d、23a、23b、23c、23d；導体層
- 4a、4b、4c、24a、24b、24c；誘電体層
- 5、25；サーマルビア
- 5a、25a；樹脂材
- 5b、25b；金属メッキ層
- 6、26；接地・放熱用端面電極
- 7、27；金属カバー
- 8、28；マウント部
- 11、31；半導体チップ
- 11a；入力段FET部
- 11b；出力段FET部
- 12a、12b、12c；整合バイアス回路
- 13；入力端子
- 14；出力端子
- 15；端面電極
- 16；電源端子

【図1】



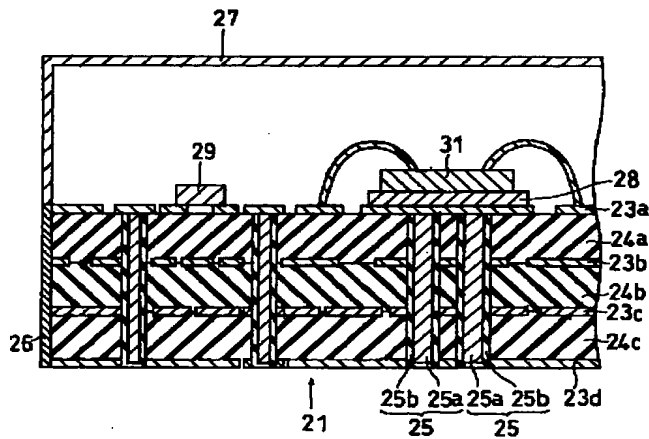
- 11: 半導体チップ  
 11a: 入力段FET部  
 11b: 出力段FET部  
 12a, 12b, 12c: 結合バイアス回路  
 13: 入力端子  
 14: 出力端子  
 15: 導電性層  
 16: 電源端子

【図2】



- 1: 多層基板  
 2: レジスト層  
 3a, 3b, 3c, 3d: 導電層  
 4a, 4b, 4c: 絶縁層  
 5: サーマルビア  
 5a: 絶縁材  
 5b: 金属メッキ層  
 6: 接地・放熱用導電性電極  
 7: 金属カバー  
 8: マウント部  
 11: 半導体チップ

【図3】



- 21: 多層基板  
 23a, 23b, 23c, 23d: 導電層  
 24a, 24b, 24c: 絶縁層  
 25: サーマルビア  
 26: 接地・放熱用導電性電極  
 31: 半導体チップ